

**BEST AVAILABLE COPY****PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 03-158912

(43)Date of publication of application : 08.07.1991

(51)Int.CI.

G05F 1/56

(21)Application number : 01-300012

(71)Applicant : SEIKO INSTR INC

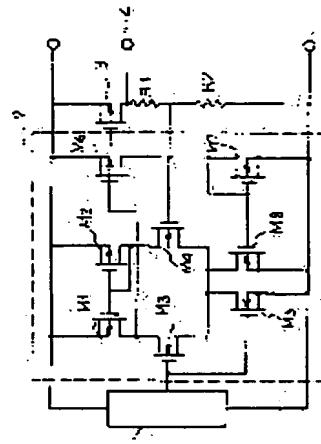
(22)Date of filing : 17.11.1989

(72)Inventor : SUDO MINORU

**(54) VOLTAGE REGULATOR****(57)Abstract:**

**PURPOSE:** To obtain the voltage regulator whose current consumption is low and whose load response performance is high by varying a current value which is allowed to flow to an error amplifier in accordance with an output current.

**CONSTITUTION:** When a current (load current of a voltage regulator) flowing to an output transistor 3, and a current flowing to a transistor M6 are denoted as I<sub>OUT</sub> and I<sub>6</sub>, respectively, the same gate voltage is applied to the output transistor 3 and M6. Therefore, in accordance with the ratio of transistor sizes of the output transistor 3 and M6, a current being proportional to I<sub>OUT</sub> flows to M6. Subsequently, the same current as that of the transistor M6 flows to a transistor M7, and the same gate voltage is applied to the transistors M7, M8, therefore, in accordance with the ratio of transistor sizes of the transistors M7, M8, a current being proportional to I<sub>6</sub> flows to the transistor M8. In such a manner, by varying a current value which is allowed to flow to an error amplifier 2 in accordance with the load current value of the voltage regulator, the current consumption is reduced and the load response performance is enhanced.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

**BEST AVAILABLE COPY**

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平3-158912

⑬ Int.Cl. 5 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)7月8日  
G 05 F 1/56 310 F 8527-5H  
P 8527-5H

審査請求 未請求 請求項の数 1 (全4頁)

⑤発明の名称 ポルテージ・レギュレーター

⑥特 願 平1-300012

⑦出 願 平1(1989)11月17日

⑧発明者 須藤 稔 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑨出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑩代理人 弁理士 林 敬之助

明細書

1. 発明の名称

ポルテージ・レギュレーター

2. 特許請求の範囲

基準電圧回路と、抵抗と誤差増幅器と、出力トランジスタとからなるCMOSモノリシック化されたポルテージ・レギュレーターにおいて、前記誤差増幅器に流す電流値を、ポルテージ・レギュレーターの負荷電流値に応じて変化させる手段を具備することを特徴としたポルテージ・レギュレーター。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、CMOSモノリシック化されたポルテージ・レギュレーターに関するものである。

【発明の概要】

本発明は、ポルテージ・レギュレーターの誤差増幅器に流す電流値を、ポルテージ・レギュレーターの負荷電流値に応じて変化させることで、低消費電流で負荷応答性能の高いポルテージ・レギュレーターを提供するものである。

【従来の技術】

従来の正の出力電圧を持つポルテージ・レギュレーターの回路図を第2図に示す。基準電圧回路1と抵抗R<sub>1</sub>とR<sub>2</sub>から取り出された電圧は、トランジスタM<sub>1</sub>～M<sub>4</sub>で構成される誤差増幅器2で比較され、出力トランジスタ3を制御する。つまり、抵抗R<sub>1</sub>、R<sub>2</sub>から取り出された電圧が、基準電圧より小さければ、誤差増幅器2の出力は低くなり、出力トランジスタ3を強くバイアスし、逆に抵抗R<sub>1</sub>、R<sub>2</sub>から取り出された電圧が基準電圧より高ければ出力トランジスタ3を弱くバイアスして出力端子4には一定の電圧が得られる。

この時、誤差増幅器2には、トランジスタM<sub>4</sub>のゲート電圧を基準電圧回路1から供給している為、一定の電流が流れます。

第2図のポルテージ・レギュレーターの場合、

## BEST AVAILABLE COPY

特開平3-158912(2)

のような問題点が生じる。

トランジスタM<sub>1</sub>の電流値をI<sub>o</sub>、誤差増幅器2の負荷となる、出力トランジスタ3のゲート容量値をC<sub>1</sub>とすると、誤差増幅器2のスルーレートSRは、式(1)で表わされる。

$$SR = I_o / C \quad \dots (1)$$

式(1)から明らかなように、誤差増幅器2の応答性能を高めるには、I<sub>o</sub>を大きくし、C<sub>1</sub>を小さくすれば良い。

しかし、C<sub>1</sub>を小さくすることは、出力トランジスタ3のゲート面積を小さくすることであり、これは、ボルテージ・レギュレーターの出力電流の低下を招き、また、I<sub>o</sub>を大きくするということは、ボルテージ・レギュレーターの消費電流の増大を招き、どちらも、ボルテージ・レギュレーターの性能を低下させることになる。

## 【課題を解決するための手段】

本発明は、従来の技術の課題を解決することを目的とし、とりわけ、低消費電流で負荷応答性能の高いボルテージ・レギュレーターを提供でき

3

出力トランジスタ3に流れる電流(ボルテージ・レギュレーターの負荷電流)をI<sub>out</sub>、トランジスタM<sub>1</sub>に流れる電流をI<sub>o</sub>とすると、出力トランジスタ3とM<sub>1</sub>には、同じゲート電圧が加わるので、出力トランジスタ3とM<sub>1</sub>のトランジスタサイズの比に応じて、I<sub>out</sub>に比例した電流がM<sub>1</sub>に流れる。例えば、出力トランジスタ3のゲート長Lを10μm、ゲート幅Wを10000μm、M<sub>1</sub>のゲート長Lを10μm、ゲート幅Wを10μmとすれば、I<sub>o</sub>とI<sub>out</sub>の比は、

$$I_o / I_{out} = (10/100) / (10000/10) = 1/1000$$

となり、出力電流I<sub>out</sub>の1/1000の電流がM<sub>1</sub>に流れる。

M<sub>1</sub>には、M<sub>1</sub>と同じ電流が流れ、M<sub>2</sub>とM<sub>3</sub>は、同じゲート電圧が加わるのでM<sub>2</sub>とM<sub>3</sub>のトランジスタサイズの比に応じて、I<sub>o</sub>に比例した電流がM<sub>2</sub>に流れる。M<sub>3</sub>に流れる電流をI<sub>o</sub>とすると、例えば、M<sub>2</sub>のゲート長Lを10μm、ゲート幅Wを10μm、M<sub>3</sub>のゲート長Lを100μm、ゲート幅Wを10μmとすれば、I<sub>o</sub>と

た。

具体的には、誤差増幅器2に流す電流値をボルテージ・レギュレーターの負荷電流値に応じて変化させることによって、低消費電流で負荷応答性能を高めるものである。

## 【実施例】

以下、図面に従って本発明の実施例を詳細に説明する。

第1図は、本発明の正の出力電圧を持つボルテージ・レギュレーターの回路図である。基準電圧回路1、出力トランジスタ3、及び、抵抗R<sub>1</sub>、R<sub>2</sub>は第2図と同様である。誤差増幅器2は、従来のトランジスタM<sub>1</sub>～M<sub>4</sub>に、出力トランジスタ3のゲートヒソースをそれぞれゲートヒソースとするトランジスタM<sub>5</sub>、M<sub>6</sub>のドレインに対し、ドレインヒゲートを共通に結線し、かつM<sub>5</sub>のソースヒソースを結線したトランジスタM<sub>7</sub>、M<sub>8</sub>のゲートヒゲートが結線され、かつ、M<sub>8</sub>のソースヒソースとドレインヒゲートをそれぞれソースヒソースとドレインヒゲートに結線したトランジスタM<sub>9</sub>が付加されている。

4

I<sub>o</sub>の比は、

$$I_o / I_{out} = (10/100) / (10000/10) = 1/1000$$

となり、M<sub>7</sub>の1/10の電流がM<sub>9</sub>に流れる。すなわち、I<sub>o</sub>は出力電流I<sub>out</sub>に比例して

$$I_o = I_{out} / 10000$$

の電流が流れる。

この時の誤差増幅器のスルーレートSRは、(1)式と同様に、(2)式で表わされる。

$$SR = (I_o + I_{out}) / C \quad \dots (2)$$

式(2)から明らかなように、トランジスタM<sub>9</sub>の電流I<sub>o</sub>の分だけ、スルーレートが改善されることになる。

例えば、ボルテージ・レギュレーターの負荷電流が突然多くなって、出力電圧が低下するとM<sub>9</sub>と出力トランジスタ3のゲート電圧が下がりI<sub>o</sub>が多く流れ、これによって、M<sub>9</sub>と出力トランジスタ3のゲート電圧を下げるスピードが促進され負荷応答が第4図のようになる。

また、I<sub>o</sub>とI<sub>out</sub>は、出力電流I<sub>out</sub>に対し無視できる程度に小さい値になるように設定する。

5

-72-

6

BEST AVAILABLE COPY

特開平3-158912(3)

尚、第1図では、正の出力電圧を持つボルテージ・レギュレーターについて示しているが、第3図のように負の出力電圧を持つボルテージ・レギュレーターにおいてもM<sub>6</sub>～M<sub>11</sub>を付加することで、同様の効果があることは明らかである。

## 【発明の効果】

以上述べたように本発明によれば、出力電流に応じて誤差増幅器に流す電流値を変化させることで、低消費電流で負荷応答性能の高いボルテージ・レギュレーターを提供できるという効果がある。

## 4. 図面の簡単な説明

第1図は本発明の正の出力電圧を持つボルテージ・レギュレーターの回路図、第2図は従来の正の出力電圧を持つボルテージ・レギュレーターの回路図、第3図は本発明の負の出力電圧を持つボルテージ・レギュレーターの回路図、第4図はボルテージ・レギュレーターの負荷応答を示す図である。

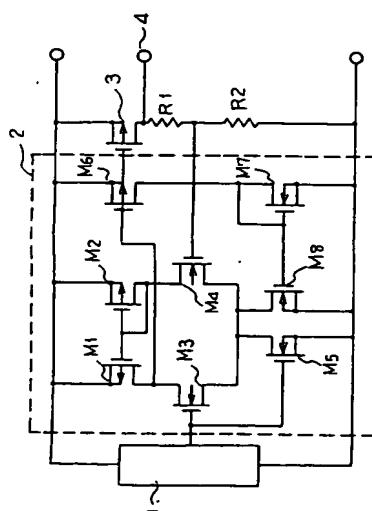
- 1 . . . 基準電圧回路
- 2 . . . 誤差増幅器
- 3 . . . 出力トランジスタ

以上

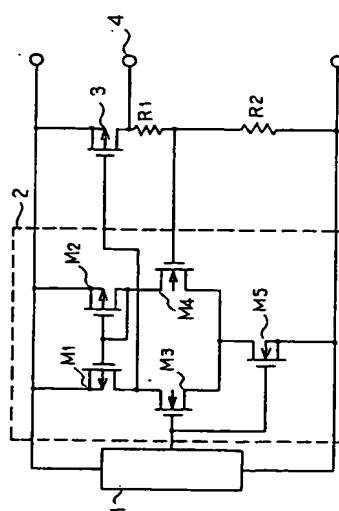
出願人 セイコー電子工業株式会社  
代理人 井理士 林 敬之助

7

8



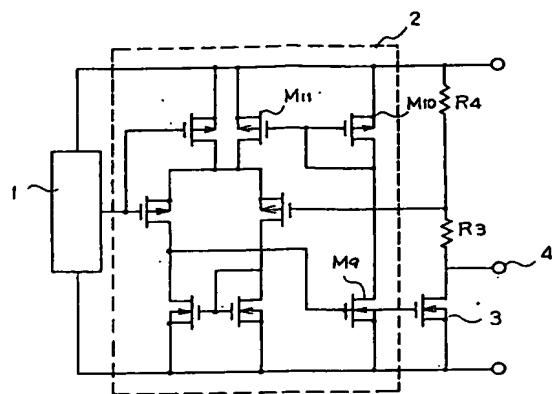
第1図



第2図

BEST AVAILABLE COPY

特開平3-158912(4)



第3図

出力電圧  
第1図のホルタージ・レギュレーター  
第2図のホルタージ・レギュレーター



第4図